

ELECTROPOLATION DEVICE

Patent Number: JP3195485
Publication date: 1991-08-27
Inventor(s): YANAGI KAZUO; others: 02
Applicant(s): KAZUO YANAGI; others: 01
Requested Patent: ☐ JP3195485
Application Number: JP19890335500 19891225
Priority Number(s):
IPC Classification: C12M1/00; C12N13/00; C12N15/87
EC Classification:
Equivalents:

Abstract

PURPOSE:To obtain the subject device capable of correctly setting an introducing condition and stably introducing gene in a high efficiency by using MOSFET as a switching element in a device applying a high-tension direct current pulse to a cell suspension, locally crushing the cell and introducing gene.

CONSTITUTION:The aimed device is constructed so as ON and OFF of a direct current output from a high-tension direct current source 1 generating a high tension direct current voltage to charge a condenser C for an electric discharge through a two-way switch 3 controlled by a charging voltage-controlling circuit 2 according to an output voltage value of a high-tension direct current source 1. Said condenser C is connected to an input I of a switch-controlling circuit 5 in which the ON and OFF are controlled by a controlling circuit 4 using MOSFET as a switching element, and a high-tension direct current pressure charged in the condenser C is connected to an electrode P installed in a chamber 6 receiving a cell suspension through an output terminal of the device by an output II of the switch-controlling circuit 5. Then, a high-tension direct current pulse is applied to the electrode P and discharged at the position to locally crush the cell, thus gene is effectively introduced into the cell.

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-195485

⑬ Int.Cl.³

C 12 M 1/00
C 12 N 13/00
15/87

識別記号

B

庁内整理番号

8717-4B
2121-4B

⑭ 公開 平成3年(1991)8月27日

8717-4B C 12 N 15/00

A

審査請求 未請求 請求項の数 4 (全9頁)

⑮ 発明の名称 エレクトロポレーション装置

⑯ 特 願 平1-335500

⑰ 出 願 平1(1989)12月25日

⑱ 発 明 者 柳 登 夫 茨城県つくば市並木2-210-206
⑱ 発 明 者 奥 村 益 男 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内
⑱ 発 明 者 折 茂 亮 一 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内
⑲ 出 願 人 柳 登 夫 茨城県つくば市並木2-210-206
⑲ 出 願 人 オリンパス光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号
⑳ 復代理人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

エレクトロポレーション装置

2. 特許請求の範囲

(1) 高圧直流電源と、この高圧直流電源の出力を放電用コンデンサに充電するための開閉手段と、この開閉手段のON、OFFを制御する充電電圧制御手段と、前記放電用コンデンサに充電された電荷を電極を介して細胞懸濁液に印加放電するスイッチング制御手段と、このスイッチング制御手段のON、OFFを制御する手段とを備えたエレクトロポレーション装置において、前記スイッチング制御手段のON、OFF用のスイッチング素子にMOSFETを使用することを特徴としたエレクトロポレーション装置。

(2) 上記スイッチング制御手段のON、OFF用スイッチング素子は複数のMOSFETを並列接続した相成であることを特徴とする請求項(1)記載のエレクトロポレーション装置。

(3) 高圧直流電源と、この高圧直流電源の出力

を放電用コンデンサに充電するための開閉手段と、この開閉手段のON、OFFを制御する充電電圧制御手段と、前記放電用コンデンサに充電された電荷を電極を介して細胞懸濁液に印加放電するスイッチング制御手段と、このスイッチング制御手段のON、OFFを制御する手段とを備えたエレクトロポレーション装置において、前記高圧直流電源の出力電圧は前記放電用コンデンサに充電すべき設定電圧より所定値高く設定すると共に前記充電電圧制御手段は電圧値検知手段を備え前記放電用コンデンサに対する充電電圧が前記設定電圧に達したことを検知して前記開閉手段をOFFに制御することを特徴としたエレクトロポレーション装置。

(4) 高圧直流電源と、この高圧直流電源の出力を放電用コンデンサに充電するための開閉手段と、この開閉手段のON、OFFを制御する充電電圧制御手段と、前記放電用コンデンサに充電された電荷を電極を介して細胞懸濁液に印加放電するスイッチング制御手段と、このスイッチング制御手

段のON、OFFを制御する手段とを備えたエレクトロポレーション装置において、前記印加放電波形のピーク電圧値および同波形の時定数を測定し表示する回路を具備したことを特徴とするエレクトロポレーション装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は細胞懸濁液に高圧直流パルスを印加放電させて細胞を局部的に破砕し細胞内に遺伝子を導入する等にも使用されるエレクトロポレーション装置に関するものである。

〔従来の技術〕

細胞およびDNAの懸濁液に高電圧放電を行う動物や植物の細胞等にクーロン化DNAを導入する方法が知られており、高電圧パルスを利用して細胞融合や遺伝子導入をするエレクトロポレーション装置が市販されてきた。

このような装置では多くの場合燐酸塩緩衝食塩(PBS)水に細胞を懸濁させ、これにクーロンDNAを添加するものであるが、遺伝子導入に必

要な電圧、電流の大きさは細胞およびDNAの種類によって条件が異なり、高い導入効率を得るためには高電圧の印加を適確に制御しなければならない。

このような高電圧パルスを細胞懸濁液に印加する技術の一つとして特開昭63-35177号公報にコンデンサに充電された高電圧をスイッチング素子である半導体制御整流器SCRを介して前記細胞懸濁液に放電させる技術が開示されている。このような技術のエレクトロポレーション装置には、第11図に示すようにSCR1~3を縦続接続してこれらSCRのゲートにトランジスタTを介してトリガー電圧V_Tを加えて導通状態にし、放電用コンデンサCに蓄えられた電荷を電極Pより細胞懸濁液に印加放電させて電極P間に介在する懸濁液内の細胞にDNAを導入する方式するものがある。

また高電圧をコンデンサCに充電する方法として第12図に示すように交流電源をスライダックVT、電源トランスTを通して昇圧し、さらに整

流器RC1、2とコンデンサC1、2とで直流化して得られる直流高電圧Eを抵抗R3および開閉器SWを介して放電用コンデンサCに所定の電圧Eを充電しするものが知られており、電圧が1KV程度、電流は50A程度供給できる装置が製作されている。

所定の電圧Eを得る方法としては、第12図に示すような交流電圧をスライダックVTにより可変して行う方法のほか高圧直流電源の電圧設定用の可変抵抗による方法も知られている。

〔発明が解決しようとする課題〕

上記した従来の装置の問題点の第一は放電用のスイッチング素子として立ち上がり時間が10μs程度と比較的遅いSCRを使用しているためON動作の遅れにより第7図の破綻曲線に示すように懸濁液に印加される実際の放電電圧のピーク値V_pがコンデンサに充電した設定電圧Eより低くなってしまふ問題がある。

第二点としては細胞懸濁液に印加される放電波形の内細胞内へのDNA導入に寄与する部分は

放電初期の高電圧部分であるが、従来の装置はスイッチング素子としてSCRを用いていたので放電途中で出力をOFFすることができず、したがって時間幅の短い高電圧波形の繰り返し時間を短縮して導入効率を高めることができなかった。

第三点としてはコンデンサの充電電圧が所定の電圧E、つまり第6図のb充電曲線に示すように所定の飽和電圧Eに迫るまでに長い時間t₂を必要としていたことで、このため繰り返し放電を出力する場合にその放電出力間隔が充電時間で制約され、高圧放電の出力間隔を短縮することができないという問題もあった。

第四点としては懸濁液に印加される放電波形の時定数もピーク電圧値と共にDNA導入のための重要なファクターであるが、この時定数が予測値と実際の実効値とで大幅にずれてしまうことである。このことは細胞を含む懸濁液の抵抗値が細胞濃度や印加電圧値で変動するため、実効的な時定数を求めるにはオシロスコープ等を用いて波形観測しながら行う必要があるが、このような操作

は煩雑であり一般的に行なうに適した方法ではない。

このように従来の装置は多くの問題を含んでいるが、この発明はこれらの問題を解決するためになされたもので、印加放電に対するスイッチング特性を大幅に向上させると共に放電波形のピーク値と時定数を正確に把握して、DNA導入効率を向上させたエレクトロポレーション装置を提供することを目的としている。

〔課題を解決するための手段〕

この発明は、高圧直流電源と、この高圧直流電源の出力を放電用コンデンサに充電するための開閉手段と、この開閉手段のON、OFFを制御する充電電圧制御手段と、前記放電用コンデンサに充電された電荷を電極を介して細胞懸濁液に印加放電するスイッチング制御手段と、このスイッチング制御手段のON、OFFを制御する手段とを備えたエレクトロポレーション装置において、前記スイッチング制御手段のON、OFF用のスイッチング素子にMOSFETを使用することを特

徴としている。

また上記と同様な構成のエレクトロポレーション装置において、上記高圧直流電源の出力電圧は上記放電用コンデンサに充電すべき設定電圧より所定値高く設定すると共に上記充電電圧制御手段は電圧値検知手段を備え前記放電用コンデンサに対する充電電圧が前記設定電圧に達したことを検知して上記開閉手段をOFFに制御することも特徴としている。

さらに上記と同様な構成のエレクトロポレーション装置において、細胞懸濁液に印加する放電波形のピーク電圧値および同波形の時定数を測定し表示する回路を具備したことも特徴としている。

〔作用〕

このように構成することにより、スイッチング素子に立ち上がり時間が短いMOSFETを使用しているのでスイッチング特性を向上させることができる。

またスイッチング素子にMOSFETを使用することによりON、OFFの制御が容易になり突

効的な時定数を短く設定でき、放電繰り返し時間を短くすることもできる。

また放電用コンデンサに対する充電時間を早くすることができるので放電繰り返し時間を短くすることができる。

さらに懸濁液に印加される放電波形のピーク値と時定数が正確に把握され、遺伝子導入条件を正確に設定できる。

〔実施例〕

以下図面にしたがってこの発明の一実施例を説明する。第1図はこの実施例の構成を示すブロック回路であり、放電用の高圧直流電圧を発生する高圧直流電源1の直流出力は、水銀リレーやSCRで構成されそのON、OFFは高圧直流電源1の出力電圧値にもとずいて充電電圧制御回路2により制御される開閉器3を介して放電用コンデンサCを充電するように構成されており、さらにこのコンデンサCはMOSFETをスイッチング素子としそのON、OFFは制御回路4により制御されるスイッチング制御回路5の入力Iに、ま

たスイッチング制御回路5の出力IIは装置の出力端子を通してコンデンサCに充電された高圧直流電圧を細胞懸濁液を収容するチャンバ6内に設けられ懸濁液に電圧を印加するための電極Pに接続されている。さらにスイッチング制御回路5の出力IIは懸濁液に印加する電圧のピーク値と放電パルスの時定数を測定するピーク電圧&時定数測定回路7に接続されており、この測定回路7で測定されたピーク値や時定数などの測定データはデータ表示回路8により表示されるようになっている。

またこれら高圧直流電源1、充電電圧制御回路2、スイッチング制御回路5、ピーク電圧&時定数測定回路7のそれぞれを制御回路4を介して操作制御するための操作パネル9が設けられて装置が構成されている。

第2図は同実施例の高圧直流電源1と充電電圧制御回路2の概略構成を示す回路図である。高圧直流電源1は交流100V電源を電源トランスTで昇圧し整流器RC1、RC2平滑用のコンデンサ

C1, C2により倍電圧整流し、出力直流電圧値としては放電用のコンデンサCに設定充電する電圧Eより所定値高い電圧値VTに設定されている。なお、R1, R2は電圧安定用でR3は出力電流制限用の抵抗である。

充電電圧制御回路2は高圧直流電源1の出力電圧を分圧するための抵抗R4および調整用抵抗RV1と、この調整抵抗RV1からの電圧値を基準電圧発生器2aの基準電圧と比較し高圧直流電源1の出力電圧がコンデンサCに設定充電すべき電圧Eに達したか否かを判定するための電圧比較器2bと、この電圧比較器2bの出力と制御回路4からの制御信号とにより開閉器3をONまたはOFFするスイッチ駆動回路2cとで構成されている。

スイッチング制御回路5の単位ユニットMOSは第3図に示すような回路構成になっている。同図において二点鎖線にはホトカブラPCを示しており、ホトカブラPCの発光ダイオード側は制御回路4から送られる開閉信号を受けこの発光ダイ

オードを駆動するトランジスタTr1, 抵抗R5, 6, 7でなる起動増幅器の出力に接続されている。ホトカブラPCの出力側は抵抗R8を負荷としその出力は抵抗R9と調整抵抗RV2を通して、抵抗R10を負荷とする次段の電圧増幅器のトランジスタTr2のベースに接続され、そのコレクタはトランジスタTr3, Tr4で構成する駆動増幅器の入力側に接続されている。この駆動増幅器はパワーMOSFETで構成されるスイッチング素子FET1を高周波でスイッチングさせるため高速のNPNトランジスタTr3とPNPトランジスタTr4とを縦続接続したもので、それぞれのベースとエミッタを共通に接続し、この共通に接続されたエミッタを低インピーダンスの出力部としその出力は抵抗R11, 12を介してスイッチング素子FET1のゲートに接続されており、この駆動増幅器でFET1のゲート入力容量に十分な充電電流を供給するようにしている。このような回路で制御されるスイッチング素子FET1のドレインDとソースSはそれぞれこのスイッチング制御回

路5の入力Iと出力IIとなっている。

FET1のドレインとゲート間に挿入されている定電圧ダイオードRDはゲートの耐圧保護用でありダイオードRC3は逆流防止用のもので、またドレイン、ソース間に挿入されている抵抗R13, 14およびコンデンサC3はドレイン、ソース間の耐圧保護用である。FET1駆動用のこれらの回路はこのユニットMOS内に設けられた15V電源5aより電源が供給される。

スイッチング素子FET1のON, OFFは開閉信号によるものである。開閉信号の信号幅を変えることによりONしている時間を制御できる。

第4図はスイッチング制御回路5が一般に高電圧の直流を制御する必要があるのでパワースwitchング素子FETの耐圧の関係から同図に示すように複数の単位ユニットMOS1~nを縦続接続し、かつそれぞれの単位ユニットMOS1~nは抵抗R71~R7nを介して前記起動増幅器に並列に接続されて開閉信号により同時にスイッチング制御がなされるように構成された実施例である。

なお、第3図に示す調整抵抗RV2は第4図に示すような縦続接続した場合における各段のFET1~nの立ち上がり、立ち下りの動作点を揃える機能をもっている。

第5図はピーク電圧&時定数測定回路7の概略構成を示すブロック回路図であり、スイッチング制御回路5の出力IIに表れる電圧は、抵抗R15と調整用抵抗RV3で構成される分圧器を介してピークホールド回路7aと電圧比較器7bの一方の入力に送られ、ピークホールド回路7aでは放電電圧のピーク値が記憶される。ピーク値を記憶する手段としてはコンデンサにダイオードを介して充電し記憶する等のアナログ方式とピーク値をデジタル量に変換して記憶する方式があるが、同図に示す実施例は前者のアナログ方式を実施したものである。ピークホールド回路7aのピーク値出力はA/D変換回路7cに送られと共に分圧用の調整抵抗RV4によりピーク電圧の0.37の値にされて電圧比較器7bの他方の入力に送られ、前記した調整用抵抗RV3より送られるスイッ

ング制御回路5の出力電圧と比較され、この電圧比較器7bは両入力電圧が一致したときタイマー回路7dにタイマー停止の出力を送出する。

クロック回路7eはA/D変換回路7cやタイマー回路7dに必要なタイミングをつくるためのもので、A/D変換回路7cには変換タイミング制御回路7fで変換タイミングに変形されて送られる。

ピークホールド回路7a、タイマー回路7d、変換タイミング制御回路7fには制御回路4からの開信号が送られるようになっており、この信号でピーク値と放電の時定数 τ の測定が開始される。

測定されたピーク値と放電の時定数 τ はそれぞれデータ表示回路8の数字表示器に表示されるようになっている。

このように構成されたエレクトロポレーション装置において、高圧直流電源1は制御回路4よりの起動信号により起動されその出力電圧は開閉器3に送られると共に充電電圧制御回路2にも送られ、抵抗R4と調整抵抗RV1で構成する分圧器

を介して電圧比較器2b一方の比較入力に送られて他方の比較入力に送られる基準電圧発生器2aの基準電圧と比較される。比較開始のタイミングは制御回路4からの制御信号ONの時点であり、またこの制御信号によりスイッチ駆動回路2cを介して開閉器3をONにするようにしている。

したがってこの時点より放電用のコンデンサCへの充電が開始され、この時点における高圧直流電源1の出力電圧は初期充電電流による抵抗R3の電圧降下で低い値となっているがコンデンサCへの充電が進むと出力電圧は第6図のa曲線に示すように次第に高くなり、 t_1 時間後に設定電圧Eに達したと電圧比較器2bが判断するその出力をスイッチ駆動回路2cに送り、このスイッチ駆動回路2cを介して開閉器3をOFFにしコンデンサCへの充電を停止し、コンデンサCはスイッチング制御回路5がONになり細胞懸濁液に対する放電が開始されるまで設定電圧Eを保持する。

制御回路4よりスイッチング制御回路5に対する開信号が送られると、第3図に示すようにこの

開信号はトランジスタTr1を主体とする起動増幅器を介して単位ユニットMOS内のホトカブラPCの発光ダイオード周に電流を流し、その出力は前記した電圧増幅器、駆動増幅器などによりパワーMOSFETで構成されるスイッチング素子FET1を導通状態にし、コンデンサCに蓄えられた電荷をチャンバー6内の懸濁液に電極Pを通して放電する。

スイッチング制御回路5が第4図に示すように単位ユニットMOS1～nの縦続接続で構成されている場合でもスイッチング動作は同じである。

このときスイッチング素子がMOSFETであるのでONの導通状態になるまでの立ち上がり時間が $1\mu s$ 以下と短く、このためその放電曲線は第7図の実線に示す理想曲線に近い形になり、ピーク電圧値もコンデンサCに設定された設定電圧Eに近い安定した値にすることができる。

またスイッチング素子がMOSFETであるのでSCRと違いOFFすることも容易であり、したがって実効的な時定数を比較的自由に設定する

ことができる。例えば放電用コンデンサCと懸濁液でできる時定数で放電したい場合は開信号の幅を十分に長くすればよく、時定数を実効的に短くしたい場合は開信号の幅を狭くすることにより可能となる。このように自由にOFFすることができるのでパルス幅の狭い放電パルスを発生させることができ、またこのことにより放電の繰り返し時間を短くすることも可能である。

放電ピーク値と放電時定数 τ の測定はピーク電圧&時定数測定回路7により行われるが、ピーク値は抵抗R15および調整抵抗RV3で構成する分圧器を介してピークホールド回路7aに制御回路4よりの開信号のタイミングで保持されると共にその電圧値はA/D変換回路7cでデジタル値に変換され所定の倍率が掛けられてデータ表示回路8に表示される。

一方時定数 τ は前記開信号でタイマー回路7dをスタートさせると共に調整抵抗RV3よりの電圧とピークホールド回路7aが保持しているピーク値を調整抵抗RV4で $1/e$ (約36.8%)に分

圧した電圧とを電圧比較器7bで比較し、両者の電圧が等しくなった時点でタイマー回路7dをストップしてその間の時間を時定数 τ としてデータ表示回路8に表示するものである。

ピーク値に影響されない時定数 τ の測定方法として第8図に説明する方法も実施できる。つまりこの方法は開信号が送られた時点よりも1時間後の電圧値をピークホールド回路7aに保持しすると共にこの時点でタイマー回路7dを起動し、調整抵抗RV3よりの電圧が保持された電圧値の1/eになった時点でタイマー回路7dを停止させてその間の時間をもって時定数 τ とする方法である。

この測定方法によればスイッチング素子の導通状態が不安定でピーク値を正確に把握できないような場合でも安定した測定が可能になる。

このようなピーク電圧&時定数測定回路7を設けることにより印加放電ごとにピーク値と放電時定数が把握でき、適切なエレクトロポレーション処理を行うことができる。

の回路で第1図に示した実施例の充電電圧制御回路2とピーク電圧&時定数測定回路7とで処理していた部分を処理するように構成している。

同図において高圧直流電源1は駆動回路13で起動されその出力は開閉器3に送られると共に分圧器D1を介してアナログ処理回路12にも送られてデジタル値に変換され、さらにこの値はマイクロCPU回路10において演算処理されるようになっている。またスイッチング制御回路5の出力IIに出力される電圧も分圧器D1を介してアナログ処理回路12に送られて同様に演算処理されるようになっており、演算処理されたデータはマイクロCPU回路10よりデータ表示回路8に表示される。

第2図、第5図において説明した電圧比較やピーク値保持および時定数算出などの演算処理はマイクロCPU回路10を中心にタイミング制御回路11およびアナログ処理回路12で行われ、開閉器3の開閉制御はタイミング制御回路11の指示にもとずき駆動回路により制御される。また各種

第9図はスイッチング制御回路5の単位ユニットMOS内のスイッチング素子FET1a~1cを複数個並列接続した実施例の部分回路図であり、並列接続されたFET1a~1c付近の接続を示したもので、同図においてD、S、Gは第3図における同符号部分を表している。

このような複数並列接続により大電流のスイッチング制御が可能になる。

また第10図は他の実施例のブロック回路図であり、この実施例ではマイクロプロセッサを使用してハード構成を簡略化している。

同図に示す実施例は各部を制御するためのマイクロCPU回路10と、このマイクロCPU回路10にデータバスを介して接続される周辺回路として各回路にタイミングの信号を送出するタイミング制御回路11と、アナログ信号をデジタル信号に変換しデジタル処理を可能にするアナログ処理回路12およびタイミング制御回路11からの制御信号により高圧直流電源1および開閉器3を制御する駆動回路13とが設けられ、これら

の制御信号やタイミング関係は前記実施例と同様である。

この実施例のような構成をとることによりハード構成が簡易化され装置の小形化やコストの低下が期待できる。

なおこの発明は上記実施例に限定されるものでなく要旨を変更しない範囲で種々変形して実施できる。

[発明の効果]

この発明によれば、スイッチング素子に立ち上がり時間が短いMOSFETを使用しているのでスイッチング特性が向上し、細胞懸濁液に対して設定値に近い安定した電圧を印加できる。

またスイッチング素子にMOSFETを使用することによりON、OFFの制御が容易であり実効的な時定数を短く設定でき、パルス幅の狭い放電パルスを発生させることや放電繰り返し時間を短くすることもできる。

また放電用コンデンサに対する充電時間を早くすることができるので放電繰り返し時間を短くす

ることができる。

さらに懸濁液に印加される放電波形のピーク値と時定数が放電の濃度濃程に把握され、返伝子導入条件を正確に設定できるので常に安定した効率の高い返伝子導入が装置や操作者に影響されずに可能になる。

4. 図面の簡単な説明

第1図はこの発明の一実施例のブロック回路図、第2図は同実施例の高圧直流電源と充電電圧制御回路の概略構成回路図、第3図は同実施例のスイッチング制御回路の単位ユニットの回路図、第4図は第3図の単位ユニットを連続接続したスイッチング制御回路のブロック回路図、第5図は同実施例のピーク電圧と時定数測定回路のブロック回路図、第6図は高圧直流電源より充電用コンデンサに充電する場合におけるこの発明と従来の方法の違いを説明する充電曲線図、第7図はこの発明と従来の装置の放電波形の違いを説明する放電波形図、第8図は時定数測定の一方法を説明する放電波形図、第9図はスイッチング制御回路のスイ

ッチング素子であるMOSFETを並列接続した実施例の部分回路図、第10図はマイクロプロセを使用した他の実施例のブロック回路図、第11図は従来のSCRを使用したスイッチング制御回路の部分回路図、第12図は従来の高圧直流電源回路と充電用コンデンサとの関係を説明する回路図である。

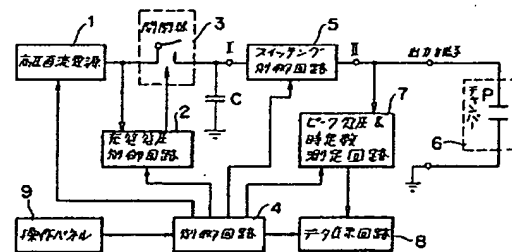
- 1 …… 高圧直流電源 2 …… 充電電圧制御回路
- 2 a …… 基準電圧発生器 2 b …… 電圧比較器
- 2 c …… スイッチ駆動回路 3 …… 開閉器
- 4 …… 制御回路
- 5 …… スwitchング制御回路
- 5 a …… 15 V 電源 6 …… チャンバー
- 7 …… ピーク電圧 & 時定数測定回路
- 7 a …… ピークホールド回路
- 7 b …… 電圧比較器 7 c …… A/D 変換器
- 7 d …… タイマー回路 7 e …… クロック回路
- 7 f …… 変換タイミング制御回路
- 8 …… データ表示回路 9 …… 操作パネル

- 10 …… マイクロCPU回路
- 11 …… タイミング制御回路
- 12 …… アナログ処理回路

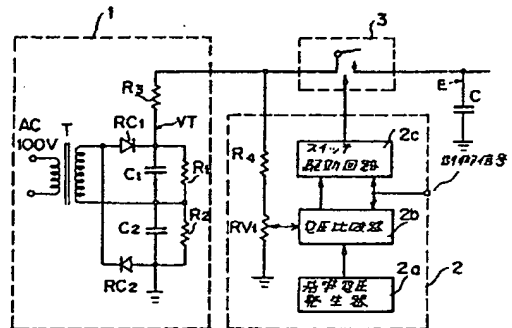
出願人 柳 登 夫 (ほか1名)

代理人 弁理士 小 宮 幸

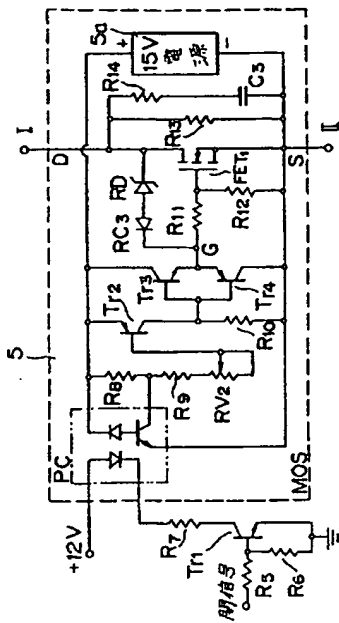
一水研
之富理
印幸士



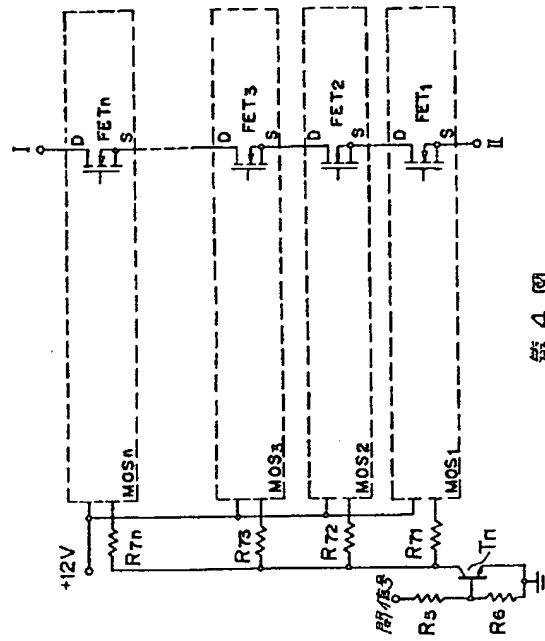
第 1 図



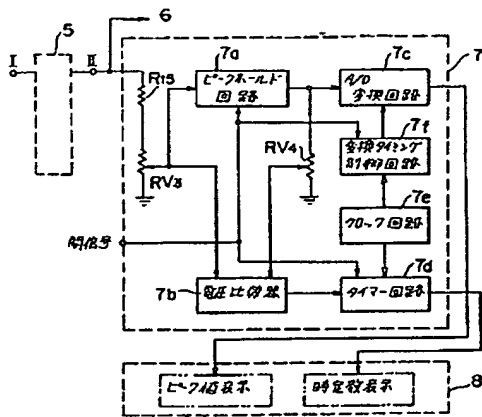
第 2 図



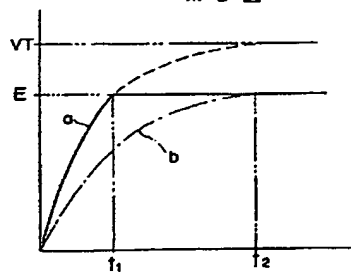
第3図



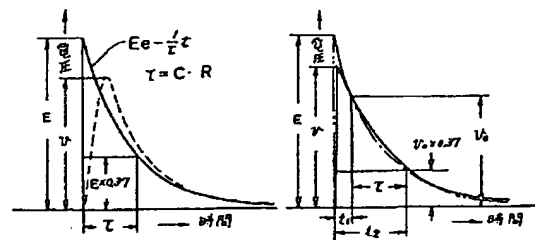
第4図



第5図

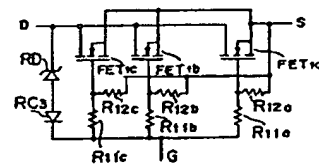


第6図

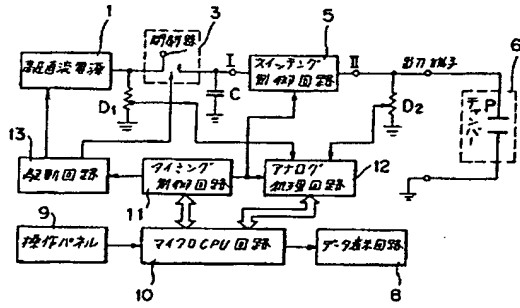


第7図

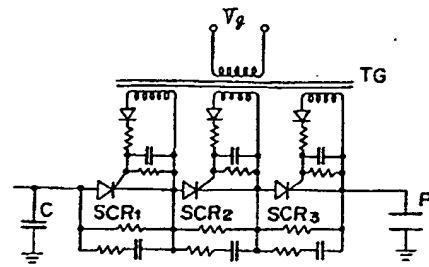
第8図



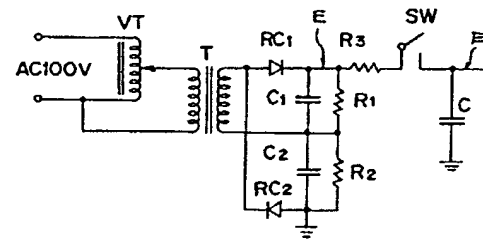
第9図



第10図



第11図



第12図